

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074618

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H03K 19/086

H03K 3/286

H03K 17/62

H03K 19/21

(21)Application number : 05-238985

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 31.08.1993

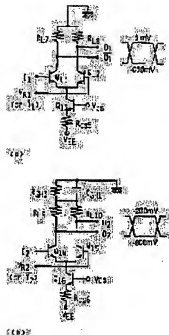
(72)Inventor : ICHINO HARUHIKO

(54) ECL CIRCUIT

(57)Abstract:

PURPOSE: To suppress increase of a wiring area and to improve the fast operability and the noise resistance by using an ECL circuit of a low voltage level and applying a level stabilizing capacity.

CONSTITUTION: The transistors TR Q11 and Q12 having the emitters connected in common to each other form a differential pair. The resistance RL7 and RL8 connected between the collectors and grounds IN of both TR Q11 and Q12 function as the load resistances. Then a TR Q13 and a resistance RCS5 connected between the common emitters of both TR Q11 and Q12 and VEE function as the constant current sources. Meanwhile the resistances RL9 and RL10 function as the load resistances, and a TR Q16 and a resistance RCS6 function as the constant current sources respectively. In regard of the relation of logical levels between the signals of types 1 and 2, the low levels of signals of both types are equal to each other and a high level of signal of the type 1 is higher than that of the type 2 by about half of logical amplitude. Furthermore a level stabilizing capacity CSH1 is connected to the circuit that produces a signal of the type 2.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A low of both logical levels has an equal relation of the 1st logical level that consists of the 2nd ECL circuit and is generated in the 1st or 2nd load resistance of the 1st ECL circuit of the above and the 2nd logical level generated in the 3rd or 4th load resistance of the 2nd ECL circuit of the above characterized by comprising the following, and a high level of the 1st logical level of the above — a high level of the 2nd logical level of the above — a half grade of amplitude of the 2nd logical level of the above — an ECL circuit characterized by a high thing.

The 1st ECL circuit that has the 1st and 2nd transistor of differential connection by which each collector is connected to the 1st power supply individually via the 1st and 2nd load resistance, common connection of the emitter is carried out and it is connected to the 2nd power supply via the 1st constant current source. Each collector is connected to the other end of a parallel connection circuit of resistance for level shifts, and capacity for stabilization where one end was connected to the 1st power supply of the above individually via the 3rd and 4th load resistance. The 3rd and 4th transistor of differential connection by which common connection of the emitter is carried out and it is connected to the 2nd power supply of the above via the 2nd constant current source.

[Claim 2] Carry out common connection of each emitter of the 1st and 2nd transistor by which each collector is connected to the 1st power supply via the 1st and 2nd load resistance, and the 3rd transistor by which a collector is directly connected to this 1st power supply, and it connects with the 2nd power supply via a constant current source, a signal level inputted into a base of the 1st and 2nd transistor of the above — a low — equal — and a high level of the 1st logical level — a high level of the 2nd logical level — a half grade of amplitude of this 2nd logical level — the 1st logical level of the above of the 1st and 2nd logical levels that have a high relation. An ECL circuit, wherein it is a low of the 2nd logical level of the above, and the 2nd logical level of the above, a middle level of a high level, or a level generated in the above-mentioned load resistance and a signal level inputted into a base of the 3rd transistor of the above is the 1st logical level of the above.

[Claim 3] The ECL circuit according to claim 2 connecting resistance for level shifts, and a parallel connection circuit of stabilization capacity between the 1st and 2nd load resistance of the above, and the 1st power supply.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the ECL (Emitter-Coupled Logic) circuit which attained voltage lowering.

[0002]

[Description of the Prior Art] Although the -4.5V or -5.2V grade was a standard, as for the power supply voltage ($-V_{EE}$) of the conventional ECL circuit, examination of the voltage lowering circuit is positively performed in demands, such as low power consumption of LSI, and voltage lowering.

[0003] To (a) of drawing 8, and (b), as the typical example, Composition of the voltage lowering ECL circuit which operates by $V_{EE} = -1.5\text{V}$ (B. Razavi et al., "Low Voltage Techniques for High Speed Digital Bipolar Circuits," Dig. Tech. Papers, 1993 Sympo. on VLSI Circuit, and pp. 31-32 are shown.

[0004] The 1st feature of this construction is using two kinds of signals of the signal (logical level) of Type 2 shown in the signal (logical level) of Type 1 and the right-hand side of (b) which are shown in the right-hand side of (a) of drawing 8. The relation of the logical level of both signals has equal logic amplitude, and the logical level of the signal of Type 1 has shifted it to the half grade high potential side of logic amplitude from the logical level of the signal of Type 2.

[0005] In the example of this drawing 8, a high level of the logical level of the signal of Type 1 shown in (a) A grand level, A high level of the logical level of the signal of Type 2 which a low shows to -400mV and (b) is -200mV , a low is -600mV , and the logical level of this type 2 of signal is shifted by resistance for a shift which carries out a postscript, and is generated.

[0006] The ECL circuit of (a) for obtaining the logical level of the signal of Type 1, Transistor Q_1 , Q_2 which constitute a differential pair from common emitter connection, Both transistor Q_1 , resistance R_{CS1} which is connected between the emitter of Q_2 , and low voltage side power source V_{EE} , and works as a constant current source, It consists of transistor Q_1 , equivalent load resistance R_{L1} connected with the collector of Q_2 between grounds, and R_{L2} .

[0007] The ECL circuit of (b) for obtaining the logical level of the signal of Type 2, Transistor Q_3 , Q_4 which constitute a differential pair from common emitter connection, Both transistor Q_3 , resistance R_{CS2} which is connected between the emitter of Q_4 , and low voltage side power source V_{EE} , and works as a constant current source ($=R_{CS1}$), It consists of transistor Q_3 , equivalent load resistance R_{L3} connected with the collector of Q_4 between grounds, R_{L4} ($=R_{L1}$, R_{L2}), and resistance R_{SH1} for the shift of a logical level.

[0008] Next, the 2nd feature is that all the signals are premised on a differential signal.

[0009] Since the constant current source is the simple composition of only resistance R_{CS1} and R_{CS2} , the ECL circuit shown in (a) of such drawing 8 and (b) can stop small the voltage needed for this portion, and is promoting voltage lowering.

[0010] The voltage generated in resistance R_{SH1} for a shift in the above construction V_{RSH1} . If voltage which generates the ON state voltage of transistor Q_3 or Q_4 in V_{BE} and resistance R_{CS2} is made into V_{RCS2} , power-supply-voltage V_{EE} needs to fulfill the following conditions.

If $V_{EE} < -V_{RSH1} - V_{BE} - V_{RCS2}$ therefore $V_{RSH2} = 200\text{mV}$, $V_{BE} = 900\text{mV}$, and $V_{RCS2} = 400\text{mV}$, about $[V_{EE} = -1.5\text{V}]$ voltage lowering will become possible.

[0011] In this composition, complicated logic is realized by developing horizontally from a viewpoint of voltage lowering, without performing realization of the logic by the conventional ****. In order to explain this

operation, the composition of a data latch (below, it is called "D latch") circuit is shown in drawing 9.
 [0012] Transistor Q_5 which constitutes a differential pair from this drawing 9 by common emitter connection, Transistor Q_7 and Q_8 in which Q_8 constitutes another differential pair from a data write switch and common emitter connection are [the hold switch of data, transistor Q_9 , and Q_{10}] the objects for the clock signals CLK. As for R_{L5} and R_{L6} , the resistance for a shift, R_{CS3} , and R_{CS4} of load resistance and R_{SH2} are resistance for constant current sources. CLK and the reversal CLK are the differential signals (0V, -400mV) of Type 1 obtained in the ECL circuit of (a) of drawing 8, and D and the reversal D are the differential signals (-200 mV-600 mV) of Type 2 obtained in the ECL circuit of (b) of drawing 8.
 [0013] When the clock signal CLK is a low, in the circuit of this drawing 9 Differential pair transistor Q_5 , Q_6 serves as one and differential pair transistor Q_7 , Q_8 serves as OFF, when the clock signal CLK is a high level conversely, differential pair transistor Q_5 and Q_6 serve as OFF and differential pair transistor Q_7 , and Q_8 serves as one.

[0014] Therefore, when the clock signal CLK is a low, data write operation is performed, and data holding operation is performed at the time of a high level. That is, latch operation becomes possible.

[0015]

[Problem(s) to be Solved by the Invention] As stated above, although the voltage lowering composition of drawing 8 operates by the about [$V_{EE} = -1.5V$] low voltage and it has the advantage that complicated logic is realizable, by composition which shows **** logic to drawing 9 developed horizontally, it also has the following problems simultaneously.

[0016] All signals need to be differential signals and the 1st problem is a point which a wiring channel doubles when applying to large scale integration circuit, wiring area area increases, and causes the increase in a chip area by extension, a differential signal — the present layout wiring CAD — treatment — being hard.

[0017] The 2nd problem is that waveform deterioration occurs and rapidly and noise-proof nature deteriorate by the switching noise of the resistance for level shifts, and a differential pair.

[0018] It is providing the ECL circuit where the purpose of this invention was made in view of the above-mentioned problem, the purpose's could operate by low voltage power equivalent to the former, and the data signal's could moreover operate also with the single phase signal, and also the waveform characteristic also became good.

[0019]

[Means for Solving the Problem] As for the 1st invention, each collector is connected to the 1st power supply individually via the 1st and 2nd load resistance, The 1st ECL circuit that has the 1st and 2nd transistor of differential connection by which common connection of the emitter is carried out and it is connected to the 2nd power supply via the 1st constant current source, Each collector is connected to the other end of a parallel connection circuit of resistance for level shifts, and capacity for stabilization where one end was connected to the 1st power supply of the above individually via the 3rd and 4th load resistance, It consists of the 2nd ECL circuit that has the 3rd and 4th transistor of differential connection by which common connection of the emitter is carried out and it is connected to the 2nd power supply of the above via the 2nd constant current source, Relation between the 1st logical level generated in the 1st or 2nd load resistance of the 1st ECL circuit of the above and the 2nd logical level generated in the 3rd or 4th load resistance of the 2nd ECL circuit of the above, a low of both logical levels is equal — and a high level of the 1st logical level of the above — a high level of the 2nd logical level of the above — a half grade of amplitude of the 2nd logical level of the above — it constituted so that highly.

[0020] The 2nd invention carries out common connection of each emitter of the 1st and 2nd transistor by which each collector is connected to the 1st power supply via the 1st and 2nd load resistance, and the 3rd transistor by which a collector is directly connected to this 1st power supply, and connects it to the 2nd power supply via a constant current source, a signal level inputted into a base of the 1st and 2nd transistor of the above — a low — equal — and a high level of the 1st logical level — a high level of the 2nd logical level — a half grade of amplitude of this 2nd logical level — the 1st logical level of the above of the 1st and 2nd logical levels that have a high relation. It is a low of the 2nd logical level of the above, and the 2nd logical level of the above, a middle level of a high level, or a level generated in the above-mentioned load resistance, and a signal level inputted into a base of the 3rd transistor of the above constituted so that it might be the 1st logical level of the above.

[0021]

[Function] In the ECL circuit of this invention, waveform deterioration is prevented by changing the logical level of the signal of Type 1 from using the stabilization capacity for being able to operate by making some

signals into a single phase signal, and generating the logical level of Type 2 stably.

[0022]

[Example] Below, the example of this invention is described. (a) of drawing 1 is an ECL circuit for acquiring the signal of Type 1, and an ECL circuit for (b) to acquire the signal of Type 2.

[0023] In (a) of drawing 1, transistor Q_{11} of common emitter connection, Q_{12} constitutes a differential pair and

The transistor Q_{11} , Resistance R_{L7} connected between the collector of Q_{12} , and a ground line (the 1st power supply: high potential side power source), R_{L8} works as load resistance and commits transistor Q_{13} and resistance R_{CS5} which are connected between the transistor Q_{11} , and the common emitter of Q_{12} and V_{EE} (the 1st power supply: low voltage side power source) as a constant current source.

[0024] In (b) of drawing 1, transistor Q_{14} of common emitter connection, A differential pair is constituted, resistance R_{L9} and R_{L10} work as load resistance, and transistor Q_{16} and resistance R_{CS6} commit Q_{15} as a constant current source. In this (b), the parallel connection circuit of resistance R_{SH3} for a shift and capacity C_{SH1} for noise rejection is inserted between load resistance R_{L9} , R_{L10} , and a ground line.

[0025] In this invention, the logical level relation between the signal of Type 1 and the signal of Type 2 has an equal low — a high level of the signal of Type 1 — a high level of the signal of Type 2 — the half grade of the logic amplitude of Type 2 — it has set up highly. A high level of -600mV and Type 2 is -200mV, and a grand level and a low is [the low of a high level of Type 1] -600mV in the example of drawing 1.

[0026] V_{R1} is the reference voltage of the logical level of the signal of Type 1, and V_{R2} is the reference voltage of the logical level of the signal of Type 2, and in this example. They are $V_{R1} = -300mV$ (a high level of the logical level of Type 1, and the intermediate level of a low), and $V_{R2} = -400mV$ (a high level of the logical level of Type 2, and the intermediate level of a low). In some signals, a single phase input becomes possible so that this may mention later.

[0027] By having connected level stabilization capacity C_{SH1} to resistance R_{SH3} for level shifts, and parallel, the noise of a signal in phase is removed and the waveform characteristic is stable in the circuit (b) which generates the signal of Type 2.

[0028] Drawing 2 is a wave form chart of the output voltage of the logical level of the signal of Type 2 for explaining the effect of a waveform improvement. (a) is a wave form chart of the output voltage of the circuit of (b) of drawing 8, and (b) is a wave form chart of the output voltage of (b) of drawing 1. Expression "3.0e-09" of the time of a horizontal axis Becoming expresses "3.0x10⁻⁹".

[0029] As shown in (b) of this drawing 2, in this example, the effect which adopted level stabilization capacity C_{SH1} has shown up. The direction of (b) rises compared with (a), fall time is small, and it is clear that the eye pattern is open good. Especially the improvement effect of the falling characteristic is remarkable, and the improvement effect of the waveform characteristic can be checked.

[0030] Drawing 3 is a figure showing the composition of D latch circuitry of the example of this invention. KOKURETA resistance R_{L11} of each [collector], R_{L12} . It is connected to a ground line via the parallel

connection circuit of common resistance R_{SH3} for a shift, and stabilization capacity C_{SH2} . Transistor Q_{17} which accomplishes a differential pair by common emitter connection, Q_{18} constitutes a data write switch and transistor Q_{19} and Q_{20} which cross connection of the collector base is carried out, and accomplish a differential pair by common emitter connection constitute a data-hold switch.

[0031] Transistor Q_{21} to which a collector is connected directly in a ground line, Object for clock signals and transistor Q_{23} and resistance R_{CS7} Q_{22} Transistor Q_{17} . The object for constant current sources common to Q_{18} and Q_{21} , transistor Q_{24} , and resistance R_{CS8} are the objects for constant current sources common to transistor Q_{19} , Q_{20} , and Q_{22} .

[0032] In clock signal CLK and the reversal CLK, it is a differential signal (0 v) of Type 1 here. -If the single phase signal (-200mV, -600mV) of Type 2 is impressed to data signal D for 600 mV and also reference voltage V_{R2} (-400 mV) is inputted. When the clock signal CLK is a low, it is a differential pair (Q_{17}). And it is a differential pair (Q_{19}). [the data write switch of Q_{18}] When the data-hold switch of Q_{20} serves as OFF and the clock signal CLK is a high level, it is a differential pair (Q_{17}). The data write switch of Q_{18} turns off, and a differential pair (Q_{19} , Q_{20}) serves as one, and can realize latch operation. In this composition, the

output Q obtained and the inverted output \bar{Q} are the differential signals of Type 2.

[0033]the conventional D latch circuitry shown in drawing 9 -- as [this] -- a data signal -- a single phase input -- carrying out (it is got blocked and reference voltage V_{R2} is impressed to the base of transistor Q_6).

The low (-400 mV) of the clock signal CLK becomes equal to reference voltage V_{R2} (-400 mV). Although writing operation of data is not performed normally, with this composition, to the low of a clock signal, reference voltage V_{R2} is in the high potential side, and can perform writing operation as normal as -200 mV also to the single phase input of data.

[0034]Drawing 4 is composition when D latch circuitry of drawing 3 is changed and the signal of Type 1 is acquired by the output Q and the inverted output \bar{Q} . Here, it has the composition of having removed resistance R_{SH3} and capacity C_{SH2} for level shifts.

[0035]It is composition when drawing 5 also changes D latch circuitry of drawing 3 and constitutes a constant current source only from resistance R_{CS7} and R_{CS8} . This composition also becomes possible [performing latch operation] to a single-phase data signal input. However, since constant current nature will get worse and a waveform will deteriorate if resistance R_{CS7} is comparable as resistance R_{L11} and R_{L12} or is not the resistance beyond it, cautions are needed when designing. In this composition, the output Q obtained and the inverted output \bar{Q} are the differential signals of Type 2.

[0036]Drawing 6 is an example in the case of making it function not as D latch circuitry but as MUX (multiplexer). The single phase signal of Type 2 is used as the signals A and B, and the differential signal of Type 1 is used as the signal S and the inversion signal \bar{S} . Transistor Q_{17} which accomplishes a differential pair when the signal S is a low, When the signal A is acquired for transistor Q_{25} and Q_{26} in which Q_{18} accomplishes one and a differential pair by the output M in OFF and the signal S is a high level, The signal B is acquired for transistor Q_{17} and Q_{18} by OFF and transistor Q_{25} , and Q_{26} is obtained by the output M by one. That is, the selector operation and MUX operation which choose either among the input signals A and B with the signal S and the inversion signal \bar{S} are realizable.

[0037]Drawing 7 is an example in the case of making it function as IKUSUKURYUSHIBU OR / a NOR circuit, and uses the differential signal of Type 1 as the signal A as the single phase signal of Type 2, the signal B, and the inversion signal \bar{B} . When the signal B is a low, in one, transistor Q_{25} and Q_{26} , for the output E, the signal A in OFF When the signal B is a high level, [transistor Q_{17} and Q_{18}] In transistor Q_{17} and Q_{18} , the inversion signal A can appear in OFF and transistor Q_{25} , Q_{26} appears in the output E in one, and exclusive OR can be realized.

[0038]As mentioned above, in this example, it became possible in compound logic to carry out the single phase input of the half signal.

[0039]

[Effect of the Invention]As explained above, in this invention, when realizing a low-voltage ECL circuit, application of the single phase signal was enabled, and the improvement of the waveform characteristic was aimed at by adoption of level stabilization capacity.

Therefore, there is an outstanding advantage of becoming possible to suppress increase of the wiring area in the case of applying to large scale integration circuit by the former, and becoming possible to raise rapidity and noise-proof nature by the latter.

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a circuit diagram of the ECL circuit for acquiring the signal of Type 1 of one example of this invention, and the signal of Type 2.

[Drawing 2]It is a waveform characteristic figure of the output voltage of the ECL circuit of the example of this invention, and the conventional ECL circuit.

[Drawing 3]It is a circuit diagram of D latch circuitry of the example of this invention.

[Drawing 4]It is a circuit diagram of D latch circuitry of another example of this invention.

[Drawing 5]It is a circuit diagram of D latch circuitry of another example of this invention.

[Drawing 6]It is a circuit diagram of the MUX circuit of another example of this invention.

[Drawing 7]It is a circuit diagram of the exclusive "or" circuit of another example of this invention.

[Drawing 8]It is a circuit diagram of the ECL circuit for acquiring the signal of the conventional type 1, and the signal of Type 2.

[Drawing 9]It is a circuit diagram of the conventional D latch circuitry.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74618

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 19/086				
3/286	F			
17/62	B	9184-5 J		
19/21		9383-5 J		

審査請求 未請求 請求項の数 3 F D (全 7 頁)

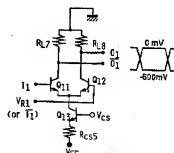
(21) 出願番号	特願平5-238985	(71) 出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22) 出願日	平成5年(1993)8月31日	(72) 発明者	市野 晴彦 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(74) 代理人	弁理士 長尾 常明

(54) 【発明の名称】 ECL回路

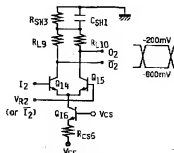
(57) 【要約】

【目的】 低電圧電源で動作し、データ信号が単相信号でも動作可能であり、波形特性も良好になったECL回路を提供する。

【構成】 第1ECL回路で第1の論理レベルを得、第1のECL回路にレベルシフト用抵抗および安定化容量を付加して構成した第2のECL回路により第2の論理レベルを得る。第1の論理レベルと第2の論理レベルの関係は、両論理レベルの低レベルが等しく、且つ第1の論理レベルの高レベルが第2の論理レベルの高レベルより第2の論理レベルの振幅の半分程度高い。



(a) タイプ1の信号用ECL回路



(b) タイプ2の信号用ECL回路

【特許請求の範囲】

【請求項1】第1の電源に第1、第2の負荷抵抗を個別に介して各々のコレクタが接続され、エミッタが共通接続されて第1の定電流源を介して第2の電源に接続される差動接続の第1、第2のトランジスタを有する第1のECL回路と、

上記第1の電源に片端が接続されたレベルシフト用抵抗と安定化容量の並列接続回路の他端に第3、第4の負荷抵抗を個別に介して各々のコレクタが接続され、エミッタが共通接続されて第2の定電流源を介して上記第2の電源に接続される差動接続の第3、第4のトランジスタを有する第2のECL回路からなり、

上記第1のECL回路の第1又は第2の負荷抵抗で発生する第1の論理レベルと上記第2のECL回路の第3又は第4の負荷抵抗で発生する第2の論理レベルの関係が、両論理レベルの低レベルが等しく、且つ上記第1の論理レベルの高レベルが上記第2の論理レベルの高レベルより上記第2の論理レベルの振幅の半分程度高いことを特徴とするECL回路。

【請求項2】第1の電源に各々のコレクタが第1、第2の負荷抵抗を介して接続される第1、第2のトランジスタと該第1の電源に直接コレクタが接続される第3のトランジスタの各エミッタを共通接続して定電流源を介して第2の電源に接続し、

上記第1、第2のトランジスタのベースに入力される信号電圧が、低レベルが等しく且つ第1の論理レベルの高レベルが第2の論理レベルの高レベルより該第2の論理レベルの振幅の半分程度高い関係にある第1及び第2の論理レベルのうちの、上記第1の論理レベル、上記第2の論理レベル、上記第2の論理レベルの低レベルと高レベルの中間のレベル、又は上記負荷抵抗で発生されるレベルであり、

上記第3のトランジスタのベースに入力される信号電圧が、上記第1の論理レベルであることを特徴とするECL回路。

【請求項3】上記第1、第2の負荷抵抗と第1の電源との間に、レベルシフト用の抵抗と安定化容量の並列接続回路を接続したことを特徴とする請求項2に記載のECL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、低電圧化を図ったECL (Emitter-Coupled Logic) 回路に関するものである。

【0002】

【従来の技術】従来のECL回路の電源電圧 ($-V_E$) は、 $-4.5V$ あるいは $-5.2V$ 等が標準であったが、LSIの低消費電力化、低電圧化等の要求のなかで、低電圧化回路の検討が積極的に行われている。

【0003】図8の(a)、(b)にその代表的な例と

して、 $V_{EE} = -1.5V$ で動作する低電圧化ECL回路の構成 (B. Razavi et al., "Low Voltage Techniques for High Speed Digital Bipolar Circuits," Dig. Tech. Papers, 1993 Sympo. on VLSI Circuit, pp. 31-32) を示す。

【0004】この構成法の第1の特徴は、図8の(a)の右側に示すタイプ1の信号 (論理レベル) と (b) の右側に示すタイプ2の信号 (論理レベル) の2種類の信号を使用することである。両信号の論理レベルの関係は、論理振幅が等しく、タイプ1の信号の論理レベルがタイプ2の信号の論理レベルより論理振幅の半分程度高電位側にシフトしている。

【0005】この図8の例では、(a)に示すタイプ1の信号の論理レベルの高レベルがグランドレベル、低レベルが $-400mV$ 、(b)に示すタイプ2の信号の論理レベルの高レベルが $-200mV$ 、低レベルが $-600mV$ であり、このタイプ2の信号の論理レベルは後記するシフト用の抵抗によりシフトして発生させている。

【0006】タイプ1の信号の論理レベルを得るための(a)のECL回路は、エミッタ共通接続で差動対を構成するトランジスタ Q_1 、 Q_2 、両トランジスタ Q_1 、 Q_2 のエミッタと低電位側電源 V_{EE} との間に接続された定電流源として働く抵抗 R_{E1} 、トランジスタ Q_1 、 Q_2 のコレクタとグランド間に接続した同値の負荷抵抗 R_{L1} 、 R_{L2} からなる。

【0007】タイプ2の信号の論理レベルを得るための(b)のECL回路は、エミッタ共通接続で差動対を構成するトランジスタ Q_3 、 Q_4 、両トランジスタ Q_3 、 Q_4 のエミッタと低電位側電源 V_{EE} との間に接続された定電流源として働く抵抗 R_{E3} ($= R_{E1}$)、トランジスタ Q_3 、 Q_4 のコレクタとグランド間に接続された同値の負荷抵抗 R_{L3} 、 R_{L4} ($= R_{L1}$ 、 R_{L2})、論理レベルのシフト用の抵抗 R_{S1} からなる。

【0008】次に第2の特徴は、全ての信号が差動信号を前提としていることである。

【0009】また、このような図8の(a)、(b)に示すECL回路は、定電流源が抵抗 R_{E1} 、 R_{E3} のみの素素な構成であることから、この部分に必要とされる電圧を小さく抑えることができ、低電圧化を促進している。

【0010】以上の構成法においてシフト用抵抗 R_{S1} で発生する電圧を V_{S1} 、トランジスタ Q_3 又は Q_4 のオン電圧を V_{BE} 、抵抗 R_{S2} で発生する電圧を V_{S2} とすると、電源電圧 V_{EE} は以下の条件を満たす必要がある。

$V_{EE} < -V_{S1} - V_{BE} - V_{S2}$
従って、 $V_{S2} = 200mV$ 、 $V_{BE} = 900mV$ 、 $V_{S1} = 400mV$ とすると、 $V_{EE} = 1.5V$ 程度の低電圧化が可能となる。

【0011】また、本構成では、低電圧化の観点から、

従来の縦横による論理の実現は行わずに、横に展開することによって複雑な論理を実現する。この動作を説明するために、データラッチ（以下では、「Dラッチ」と呼ぶ。）回路の構成を図9に示す。

【0012】この図9では、エミッタ共通接続で差動対を構成するトランジスタ Q_1 、 Q_2 がデータ書込スイッチ、エミッタ共通接続で別の差動対を構成するトランジスタ Q_3 、 Q_4 がデータの保持スイッチ、トランジスタ Q_1 、 Q_2 がクロック信号CLK用である。なお、 R_{u1} 、 R_{u2} は負荷抵抗、 R_{m1} はシフト用抵抗、 R_{m2} 、 R_{m3} は定電流源用抵抗である。また、CLK、反転CLKは図8の(a)のECL回路で得られるタイプ1の差動信号(0V、-400mV)であり、D、反転Dは図8の(b)のECL回路で得られるタイプ2の差動信号(-200mV、-600mV)である。

【0013】この図9の回路では、クロック信号CLKが低レベルのとき、差動対トランジスタ Q_1 、 Q_2 がオン、差動対トランジスタ Q_3 、 Q_4 がオフとなり、逆にクロック信号CLKが高レベルのとき、差動対トランジスタ Q_3 、 Q_4 がオン、差動対トランジスタ Q_1 、 Q_2 がオフとなる。

【0014】従って、クロック信号CLKが低レベルのときにデータ書込動作を行い、高レベルのときデータ保持動作を行う。すなわち、ラッチ動作が可能となる。

【0015】

【発明が解決しようとする課題】以上述べたように、図8の低電圧化構成は、 $V_m = -1.5V$ 程度の低電圧で動作し、また縦横論理を横に展開する図9に示す構成により、複雑な論理を実現できるという利点を有するが、同時に以下の問題点も有する。

【0016】第1の問題点は、信号が全て差動信号である必要があり、大規模集積回路に適用する場合に配線チャンネルが2倍になり、配線領域面積が増大し、ひいてはチップ面積の増加を招く点である。また、差動信号は現状の配置配線CADでは扱いにくい。

【0017】第2の問題点は、レベルシフト用抵抗と差動対のスイッチングノイズによって波形劣化が発生し、高速度、耐ノイズ性が劣化する点である。

【0018】本発明の目的は、上記した問題点に鑑みてなされたものであり、その目的は、従来と同等な低電圧電源で動作し、しかもデータ信号が単相信号でも動作可能であり、更に波形特性も良好になったECL回路を提供することである。

【0019】

【課題を解決するための手段】第1の発明は、第1の電源に第1、第2の負荷抵抗を個別に介して各々のコレクタが接続され、エミッタが共通接続されて第1の定電流源を介して第2の電源に接続される差動接続の第1、第2のトランジスタを有する第1のECL回路と、上記第1の電源に片端が接続されたレベルシフト用抵抗と安定

化容量の並列接続回路の他端に第3、第4の負荷抵抗を個別に介して各々のコレクタが接続され、エミッタが共通接続されて第2の定電流源を介して上記第2の電源に接続される差動接続の第3、第4のトランジスタを有する第2のECL回路からなり、上記第1のECL回路の第1又は第2の負荷抵抗で発生する第1の論理レベルと上記第2のECL回路の第3又は第4の負荷抵抗で発生する第2の論理レベルの関係が、両論理レベルの低レベルが等しく、且つ上記第1の論理レベルの高レベルが上記第2の論理レベルの高レベルより上記第2の論理レベルの振幅の半分程度高いように構成した。

【0020】第2の発明は、第1の電源に各々のコレクタが第1、第2の負荷抵抗を介して接続される第1、第2のトランジスタと該第1の電源に直接コレクタが接続される第3のトランジスタの各エミッタを共通接続して定電流源を介して第2の電源に接続し、上記第1、第2のトランジスタのベースに入力される信号電圧が、低レベルが等しく且つ第1の論理レベルの高レベルが第2の論理レベルの高レベルより該第2の論理レベルの振幅の半分程度高い関係にある第1及び第2の論理レベルのうち、上記第1の論理レベル、上記第2の論理レベル、上記第2の論理レベルの低レベルと高レベルの中間のレベル、又は上記負荷抵抗で発生されるレベルであり、上記第3のトランジスタのベースに入力される信号電圧が、上記第1の論理レベルであるように構成した。

【0021】

【作用】本発明のECL回路では、タイプ1の信号の論理レベルを変更することにより一部の信号を単相信号として動作可能であり、かつタイプ2の論理レベルを安定に発生させるための安定化容量を使用することにより波形劣化が防止される。

【0022】

【実施例】以下に、本発明の実施例について説明する。図1の(a)はタイプ1の信号を得るためのECL回路である。(b)はタイプ2の信号を得るためのECL回路である。

【0023】図1の(a)において、エミッタ共通接続のトランジスタ Q_{11} 、 Q_{12} は差動対を構成し、そのトランジスタ Q_{11} 、 Q_{12} のコレクタとグランドライン(第1の電源：高電位側電源)との間に接続される抵抗 R_{u1} 、 R_{u2} は負荷抵抗として働き、そのトランジスタ Q_{11} 、 Q_{12} の共通エミッタと V_m (第1の電源：低電位側電源)との間に接続されるトランジスタ Q_{13} と抵抗 R_{m1} は定電流源として働く。

【0024】また、図1の(b)において、エミッタ共通接続のトランジスタ Q_{21} 、 Q_{22} は差動対を構成し、抵抗 R_{u1} 、 R_{u2} は負荷抵抗として働き、トランジスタ Q_{21} と抵抗 R_{m1} は定電流源として働く。更にこの(b)では、負荷抵抗 R_{u1} 、 R_{u2} とグランドラインとの間にシフト用抵抗 R_{m2} とノイズ除去用の容量 C_{m1} の並列

接続回路が介挿されている。

【0025】本発明では、タイプ1の信号とタイプ2の信号の論理レベル関係は、低レベルが等しく、タイプ1の信号の高レベルがタイプ2の信号の高レベルよりタイプ2の論理振幅の半分程度高く設定してある。図1の例では、タイプ1の高レベルがグランドレベル、低レベルが -600 mV 、タイプ2の高レベルが -200 mV 、低レベルが -600 mV である。

【0026】また、 V_{in} はタイプ1の信号の論理レベルの基準電圧、 V_{in} はタイプ2の信号の論理レベルの基準電圧であり、この例では、 $V_{in} = -300\text{ mV}$ （タイプ1の論理レベルの高レベルと低レベルの中間レベル）、 $V_{in} = -400\text{ mV}$ （タイプ2の論理レベルの高レベルと低レベルの中間レベル）である。これにより後述するように、一部の信号において単相入力が可能となる。

【0027】また、タイプ2の信号を発生する回路

(b)では、レベルシフト用抵抗 R_{m2} と並列にレベル安定化容量 C_{m2} を接続したことにより、信号の同相ノイズを除去して波形特性が安定化する。

【0028】図2は波形改善の効果を説明するためのタイプ2の信号の論理レベルの出力電圧の波形図である。

(a)は図8の(b)の回路の出力電圧の波形図、(b)は図1の(b)の出力電圧の波形図である。なお、横軸の時間の例えば「 3.0×10^{-9} 」なる表現は「 3.0×10^{-9} 」を表している。

【0029】この図2の(b)に示すように、本実施例ではレベル安定化容量 C_{m2} を採用した効果が現れている。(a)に比べて(b)の方が立ち上がり立ち下がり時間が小さく、アイパターンが良好に開いていることが明らかである。特に立ち上がり特性の改善効果が著しく、波形特性の改善効果が確認できる。

【0030】図3は本発明の実施例のDラッチ回路の構成を示す図である。コレクタが個々のコレクタ抵抗 R_{n1} 、 R_{n2} 、共通のシフト用抵抗 R_{m1} と安定化容量 C_{m1} と並列接続回路を介してグランドラインに接続され、エミッタ共通接続で差動対を成すトランジスタ Q_{11} 、 Q_{12} はデータ書き込みスイッチを構成し、コレクタ・ベースがクロス接続されエミッタ共通接続で差動対を成すトランジスタ Q_{21} 、 Q_{22} はデータ保持スイッチを構成する。

【0031】コレクタが直接グランドラインに接続されるトランジスタ Q_{21} 、 Q_{22} はクロック信号用、トランジスタ Q_{11} と抵抗 R_{n1} はトランジスタ Q_{11} 、 Q_{12} に共通の定電流源用、トランジスタ Q_{21} と抵抗 R_{n2} はトランジスタ Q_{11} 、 Q_{12} に共通の定電流源用である。

【0032】ここでクロック信号CLK、反転CLKにはタイプ1の差動信号(0 V 、 -600 mV)を、データ信号Dにはタイプ2の単相信号(-200 mV 、 -600 mV)を印加し、更に基準電圧 V_{in} (-400 mV

V)を入力すると、クロック信号CLKが低レベルのときに差動対(Q_{11} 、 Q_{12})のデータ書き込みスイッチがオンし、差動対(Q_{11} 、 Q_{12})のデータ保持スイッチがオフとなり、またクロック信号CLKが高レベルのときに差動対(Q_{21} 、 Q_{22})のデータ書き込みスイッチがオフし、差動対(Q_{11} 、 Q_{12})がオンとなって、ラッチ動作を実現できる。この構成では、得られる出力Q、反転出力Qはタイプ2の差動信号である。

【0033】図9に示した従来のDラッチ回路をこのままデータ信号を単相入力とする(つまり、トランジスタ Q_{21} のベースに基準電圧 V_{in} を印加する)と、クロック信号CLKの低レベル(-400 mV)が基準電圧 V_{in} (-400 mV)に等しくなり、データの書き込み動作が正常に行われず、本構成では基準電圧 V_{in} はクロック信号の低レベルに対して -200 mV も高電位側にあり、データの単相入力に対しても正常な書き込み動作を行うことができる。

【0034】図4は図3のDラッチ回路を改変し、出力Q、反転出力Qにタイプ1の信号が得られるようにした場合の構成である。ここでは、レベルシフト用の抵抗 R_{m1} と容量 C_{m1} を除去した構成となっている。

【0035】図5も図3のDラッチ回路を改変し、定電流源を抵抗 R_{n1} 、 R_{n2} のみで構成した場合の構成である。この構成でも、単相のデータ信号入力に対して、ラッチ動作を行うことが可能となる。但し、抵抗 R_{n1} が抵抗 R_{n2} と同等度かそれ以上の抵抗値でないと、定電流性が悪化して波形が劣化することになるので、設計する際には注意が必要となる。この構成では、得られる出力Q、反転出力Qは、タイプ2の差動信号である。

【0036】図6はDラッチ回路ではなくMUX(マルチプレクサ)として機能させる場合の実施例である。信号A、Bとしてはタイプ2の単相信号を、また信号S、反転信号Sとしてはタイプ1の差動信号を使用する。信号Sが低レベルのとき、差動対を成すトランジスタ Q_{11} 、 Q_{12} がオンし、差動対を成すトランジスタ Q_{21} 、 Q_{22} がオフで出力Mには信号Aが得られ、また信号Sが高レベルのとき、トランジスタ Q_{11} 、 Q_{12} がオフ、トランジスタ Q_{21} 、 Q_{22} がオンで出力Mには信号Bが得られる。すなわち、信号S、反転信号Sにより入力信号A、Bのうちどちらか一方を選択するセレクター動作、MUX動作を実現できる。

【0037】図7はイクスクリューシブOR/NOR回路として機能させる場合の実施例であり、信号Aとしてタイプ2の単相信号、信号B、反転信号Bとしてタイプ1の差動信号を使用する。信号Bが低レベルのとき、トランジスタ Q_{11} 、 Q_{12} がオン、トランジスタ Q_{21} 、 Q_{22} がオフで出力Eには信号Aが得られ、また信号Bが高レベルのとき、トランジスタ Q_{11} 、 Q_{12} がオフ、トランジスタ Q_{21} 、 Q_{22} がオンで出力Eには反転信号Aが現れ、排他的

論理和を実現できる。

【0038】以上のように、本実施例では、複合論理において、半分の信号を単相入力することが可能となった。

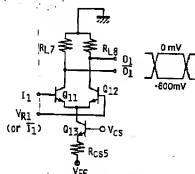
【0039】

【発明の効果】以上説明したように、本発明においては、低電圧ECL回路を実現する上で単相信号の適用を可能とし、またレベル安定化容量の採用により波形特性の改善を図ったので、前者により大規模集積回路に適用する場合の配線領域の増大を抑えることが可能となり、後者により高速度性、耐ノイズ性を向上させることが可能となるという優れた利点がある。

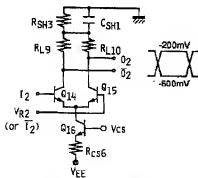
〔図面の簡単な説明〕

【図1】 本発明の一実施例のタイプ1の信号及びタイプ2の信号を得るためのECL回路の回路図である。 *

【図1】



(a) タイプ1の信号用ECL回路



(b) タイプ2の信号用ECL回路

* 【図2】 本発明の実施例のECL回路と従来のECL回路の出力電圧の波形特性図である。

【図3】 本発明の実施例のDラッチ回路の回路図である。

【図4】 本発明の別の実施例のDラッチ回路の回路図である。

【図5】 本発明の別の実施例のDラッチ回路の回路図である。

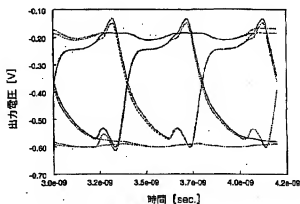
10 【図6】 本発明の別の実施例のMUX回路の回路図である。

【図7】 本発明の別の実施例の排他的論理和回路の回路図である。

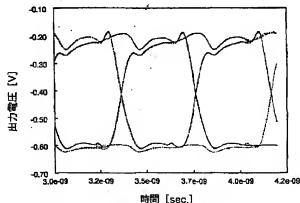
【図8】 従来のタイプ1の信号及びタイプ2の信号を得るためのECL回路の回路図である。

【図9】 従来のDラッチ回路の回路図である。

【図2】

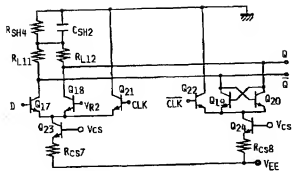


(a) 図8 (b) のECL回路の特性図



(b) 図1 (b) のECL回路の特性図

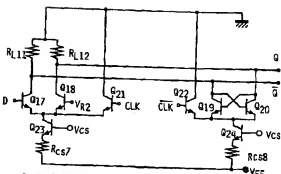
【図3】



Dラッチ回路 (その1)

(Dはタイプ2の駆動信号、CLK、 $\bar{\text{CLK}}$ はタイプ1の駆動信号、Q、 $\bar{\text{Q}}$ はタイプ2の駆動信号)

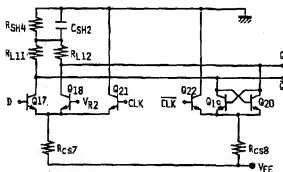
【図4】



Dラッチ回路 (その2)

(Dはタイプ2の駆動信号、CLK、 $\bar{\text{CLK}}$ はタイプ1の駆動信号、Q、 $\bar{\text{Q}}$ はタイプ1の駆動信号)

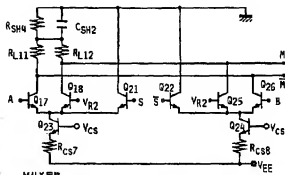
【図5】



Dラッチ回路 (その3)

(Dはタイプ2の駆動信号、CLK、 $\bar{\text{CLK}}$ はタイプ1の駆動信号、Q、 $\bar{\text{Q}}$ はタイプ2の駆動信号)

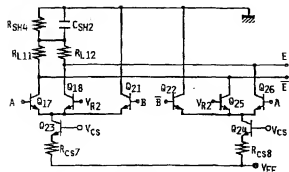
【図6】



MUX回路

(A、Bはタイプ2の駆動信号、S、 $\bar{\text{S}}$ はタイプ1の駆動信号)

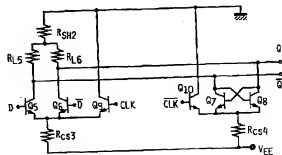
【図7】



イタスクレーンブロー/NOR回路

(Aはタイプ2の駆動信号、B、 $\bar{\text{B}}$ はタイプ1の駆動信号)

【図9】



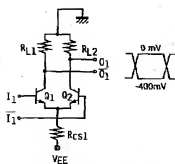
Dラッチ回路 (遅延増)

(D、 $\bar{\text{D}}$ はタイプ2の駆動信号、CLK、 $\bar{\text{CLK}}$ はタイプ1の駆動信号)

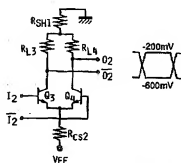
(7)

特開平7-74618

【図8】



(a) タイプ1の信号用ECL回路（従来例）



(b) タイプ2の信号用ECL回路（従来例）